

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-020027  
 (43)Date of publication of application : 01.02.1984

(51)Int.CI. G06F 3/00

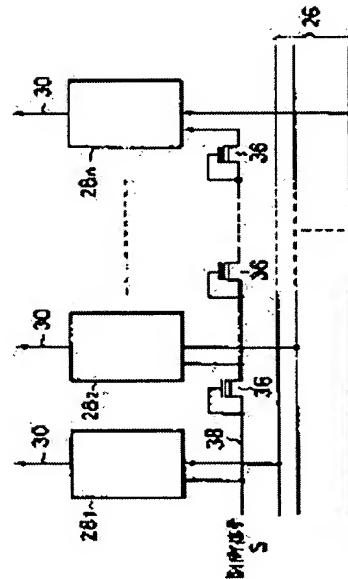
(21)Application number : 57-130591 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 27.07.1982 (72)Inventor : IWASHI HIROSHI  
 ASANO MASAMICHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To reduce a momentary peak current and attain a high response speed, by delaying and operating plural output buffers at an output time and stopping plural buffers simultaneously as an operation stop time.

CONSTITUTION: When a control signal S is (0), data are outputted from output buffers 281W28n. In this case, delay means are provided for the purpose of preventing buffers 281W28n from being turned on simultaneously. This delay means is MOSFET36 connected to a control line 38 on the input side of the signal S. In this MOSFET36, the delay time of the transmission of the signal S for the change of the signal S from (1) to (0) is longer than that for the change from (0) to (1). Consequently, since data are not outputted simultaneously from buffers 281W28n to an external bus, the peak current is not abnormally high. The reason why the transmission time for the change of the signal S from level (0) to level (1) and that from level (1) to level (0) are made different from each other is because the output time is made different when outputs are outputted from output buffers to an external bus 30 and the response speed is made higher when outputs are not outputted.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision  
of rejection or application  
converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

平成 19.5.6

## 特許法第17条の2の規定による補正の掲載

昭和 57 年特許願第 130591 号 (特願昭 59-20027 号, 昭和 59 年 1 月 1 日  
発行 公開特許公報 59-201 号掲載) については特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 6 (3)

Int. C.I.	識別記号	序内整理番号
006F 1/00		K-7231-5B

手 市 佐 和 正 善

6.12

平成元年

特許庁長官 吉田文毅取

## 1. 事件の登録

特願昭 57-130591号

## 2. 発明の名称

半導体装置

## 3. 補正をする者

事件との関係 特許出願人  
(107) 株式会社 東芝

## 4. 代理人

東京都千代田区霞が関 3 丁目 7 番 2 号  
〒100 電話 03(502)3181 (大代表)  
(5841) 弁理士 鈴江 武彦

## 5. 出発補正

## 6. 補正の対象

明細書

## 7. 補正の内容

特許請求の範囲を別紙の通り訂正する。



## 2. 特許請求の範囲

(1) 保護範囲内のデータを外部に出力するために使用される出力端子に接続され “0” データを出力する時オン状態に設定される複数の第 1 トランジスタ群及び “1” データを出力する時オン状態に設定される複数の第 2 トランジスタ群と、これら複数の第 1 トランジスタ群あるいは複数の第 2 トランジスタ群のトランジスタが、オンする時期に遅延の差をつける第 1 の手段とを用意した後を特徴とする半導体装置。

(2) 前記複数の第 1 トランジスタ群あるいは前記複数の第 2 トランジスタ群のトランジスタのオフする時間差は、同一時間とする第 2 の手段を備えたことを特徴とする特許請求の範囲第 1 項に記載の半導体装置。

(3) 前記第 1 の手段は、前記第 1 のトランジスタ群のトランジスタあるいは前記第 2 のトランジスタ群のトランジスタのゲートにデータが送達される時間に遅延をつける第 2 の手段であることを特徴とする特許請求の範囲第 1 項あるいは第 2 項に

出願人代理人 井上士 鈴江武彦

(18)

-1-

特開昭59- 28027(4)

においては複数の出力バッファを通過させて動作でき、また動作停止時に複数の出力バッファを同時に停止させるとができる。したがって映像ビーコン流を減少させると共に、他の機能からバスラインへのデータ出力を近くできるため、応答速度の速いマイクロコンピュータシステム等の半導体装置が提供できるものである。

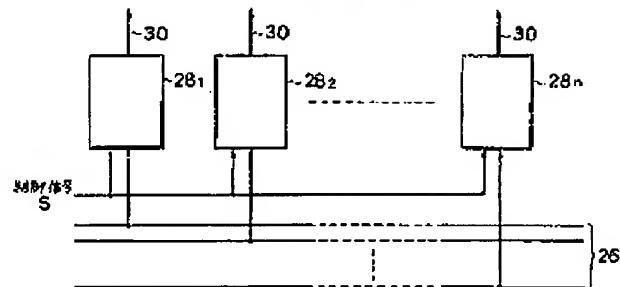
#### 4. 図面の簡単な説明

第1図は従来のCPUの出力バッファ回路図、第2図は本発明の一実施例を説明するための回路図、第3図は本発明の他の実施例を説明するための回路図、第4図は同回路の一部詳細回路図、第5図は同回路の動作を示す信号波形図である。

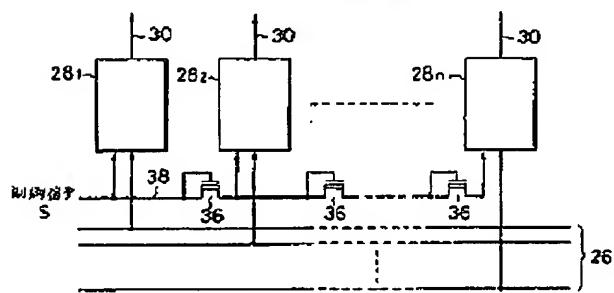
26…内部バス、281～28n…出力バッファ、36…外部バス、38…信号遮断用トランジスタ。

出願人代理人 弁理士 鈴 江 弘 敏

第1図

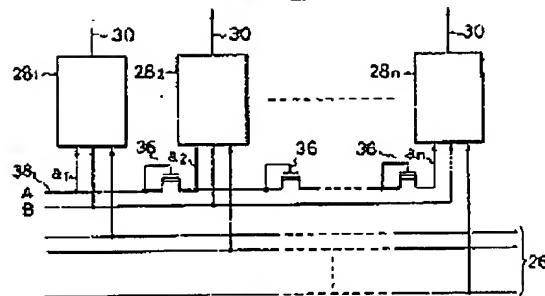


第2図

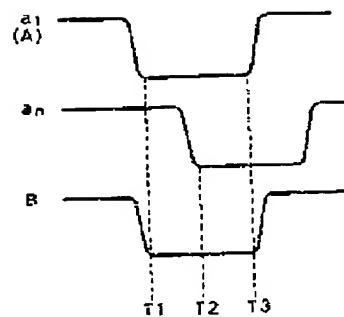


特許第59- 20027(5)

第 3 図



第 5 図



第 4 図

